

DIALOG(R)File 347:JAP10
(c) 1999 JPO & JAP10. All rts. reserv.

02134343 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO. : 62-051243 [JP 62051243 A]
PUBLISHED: March 05, 1987 (19870305)
INVENTOR(s): HOTTA MASAKI
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO. : 60-191406 [JP 85191406]
FILED: August 30, 1985 (19850830)

ABSTRACT

PURPOSE: To obtain a semiconductor device including multilayer interconnections, which can prevent yield of hillocks effectively, by forming a first interlayer insulating film, flattening the film, and forming a second interlayer insulating film at two steps in a temperature range, in which hillocks are not yielded, and a high temperature range thereafter.

CONSTITUTION: A first wiring layer 2 is formed on a semiconductor substrate 1 after the formation of elements thereon in a specified pattern. A first layer interlayer insulating film 4 is formed on the layer 2. Then, the interlayer insulating film 4 is flattened. A second interlayer insulating film is formed at two steps in a temperature range, in which hillocks are not yielded, and a high temperature range thereafter. For example, the silicon oxide film 4 and a silicon nitride film 5 are formed. Etch back is performed by an RIE method, and the flattened silicon oxide film 4' is obtained. A silicon oxide film 11 is formed thereon to a thickness of about 3,000 angstroms in a temperature range of 200-250 deg.C by using a plasma CVD method. A silicon oxide film 12 is formed thereon similarly at a temperature of about 300 deg.C by the plasma CVD method. The total thickness of about 1.5. mu.m is obtained. A second aluminum wiring layer 13 is formed thereon.

⑮ 公開特許公報 (A) 昭62-51243

⑯ Int.Cl.
H 01 L 21/88
21/94

識別記号 行内整理番号
6708-5F
6708-5F

⑰ 公開 昭和62年(1987)3月5日

審査請求 有 発明の数 1 (全4頁)

⑱ 発明の名称 半導体装置の製造方法

⑲ 特願 昭60-191406
⑳ 出願 昭60(1985)8月30日

㉑ 発明者 堀田 正樹 川崎市幸区堀川町72番地 株式会社東芝堀川町工場内
㉒ 出願人 株式会社東芝 川崎市幸区堀川町72番地
㉓ 代理人 弁理士 佐藤 一雄 外2名

明 稞 道

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. 素子形成後の半導体基板上に第1の配線層を所定のパターンで形成する工程と、

この第1の配線層上に第1の層間絶縁膜を形成する工程と、

この層間絶縁膜を平坦化処理する工程と、

この上に第2の層間絶縁膜をヒロックの発生しない温度範囲およびその後のより高温の温度範囲の2段階で形成する工程と、

を備えた半導体装置の製造方法。

2. 層間絶縁膜がシリコン酸化膜である特許請求の範囲第1項記載の半導体装置の製造方法。

3. 層間絶縁膜がプラズマCVD法で形成される特許請求の範囲第2項記載の半導体装置の製造方法。

4. 第1の層間絶縁膜がヒロックの発生しな

い温度範囲およびその後のより高温の温度範囲の2段階で形成される特許請求の範囲第3項記載の半導体装置の製造方法。

5. 平坦化処理が反応性イオンエッティングによるエッチバックにより行われる特許請求の範囲第1項記載の半導体装置の製造方法。

6. 第1および第2の配線層がパターニングされたアルミニウム層である特許請求の範囲第1項記載の半導体装置の製造方法。

7. 第2の層間絶縁膜の形成が選択的な温度上昇下で行われる特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置の製造方法に関するもので、特に層間絶縁膜の形成に関する。

(発明の技術的背景とその問題点)

半導体装置の高度化に伴い素子形成後の配線は一層のみでは足りず多層配線が通常用いられる。

この多層配線は第2図の工程別素子断面図に示されるようにまず素子形成後の半導体基板1上に第1層目のアルミニウム配線2をアルミニウムの蒸着およびエッティングによるパターニングで形成し、その周囲に200~250℃の比較的低温でプラズマCVD法により厚さ約3000Åのシリコン酸化膜3を形成する(第2図(a))。

次にこの上に同様にプラズマCVD法により約300℃の温度でシリコン酸化膜4を形成し、先に形成されたシリコン酸化膜3と合わせて約1μmの厚さになるようにする(第2図(b))。

次にこの上にシリコン酸化膜(Si₃N₄)5をCVD法により形成し(第2図(c))、さらにこれを反応性イオンエッティング(RIE)によりエッチバックすると、平坦化されたシリコン酸化膜4'が得られる(第2図(d))。

次に再度シリコン酸化膜6をプラズマCVD法で形成し、その上に上層の第2の配線層7をアルミニウム蒸着およびフォトエッティングによるパターニングによって形成する(第2図(e))。

- 3 -

不均一性等の欠陥をなくす。

ヒロックの発生を抑制する他の方法としてはアルミニウム層の表面にチタン等の高融点金属あるいはTiSi等の高融点金属珪化物を形成する方法がある。しかしこの方法ではまず高融点金属層の形成等、工程が増加する上、エッティングに困難が伴い、さらにアルミニウム配線側面には高融点金属等が存在しないことから側面におけるヒロック成長を抑えることができず、微細化上の要求に対しても有効ではない。

このような観点から最初に述べた方法が採用されるがこの方法にも問題がある。

すなわち、第1のアルミニウム配線層上に形成されたシリコン酸化膜4を平坦化する際シリコン酸化膜4の厚さが所用の厚さよりも薄かったとき、あるいはRIEによるエッティング時間が多すぎたときには第4図に示すようにアルミニウム配線層2の表面が露出してしまう場合がある。この状態で通常の比較的高温の条件で第2のシリコン酸化膜を形成すると第3図に示す状態となり、ヒロック

のように第1の配線1上のシリコン酸化膜を2段階で形成しているのはヒロック防止のためである。

すなわち、アルミニウムの配線層を形成後層間絶縁のためのシリコン酸化膜を従来行われているように300℃前後の比較的高温で形成すると、アルミニウムの結晶再配列に伴い表面に応力集中が起って盛り上るヒロックとよばれる突起が発生し、第3図に示されるようにヒロック8はシリコン酸化膜4中を成長して上面に形成されたアルミニウム配線層7に近づいてショートを発生させて歩留りを低下させ、ショートに至らない場合にも信頼性を低下させる。

ヒロックの発生を抑制するためには応力集中が生じないように層間絶縁膜の形成温度を低下されればよいが、この場合下面の第1アルミニウム配線層の断差部での被覆性が悪化し、上面の第2アルミニウム配線層を形成した際に断線を招くという問題があり、また低温で形成した層間絶縁膜は品質が良好でなく、绝缘性の低下、エッティングの

- 4 -

8が発生する。

(発明の目的)

本発明はこのような問題を解決するためなされたもので、ヒロックの発生を有効に防止できる多層配線を中心半導体基板の製造方法を提供することを目的とする。

(発明の概要)

上記目的達成のため、本発明によれば素子形成層1の配線層を形成し、その上に第1の層間絶縁膜を形成してエッチバックによる平坦化処理を行なった後第2の層間絶縁膜をヒロックの発生しない温度範囲およびその後のより高温の温度範囲の2段階で形成し、さらにその上に第2の配線層を形成するようにしている。このように第2の層間絶縁膜を2段階で形成することにより、エッチバック時に第1の配線層表面が露出してもヒロックの発生を有効に防止することができる。

(発明の実施例)

以下図面を参照しながら本発明の一実施例を詳細に説明する。

- 5 -

-208-

- 6 -

第1図は本発明にかかる半導体装置の製造方法を示す工程別断面図であって、電子形成層の半導体基板1上に多層配線を形成する様子を示すものである。

この方法においてはエッチバック工程までは従来と同様である。すなわち、電子形成層の半導体基板1上に第1のアルミニウム配線層2を形成してその周囲に厚さ約3000Åのシリコン酸化膜3を200~250℃の温度範囲でプラズマCVD法により形成し(第1図(a))。その上にシリコン酸化膜4を約300℃の温度でアラスマCVD法により全体が約1μmになるようにし(第1図(b))、さらにシリコン酸化膜5をCVD法により形成して(第1図(c))、RIE法によりエッチバックを行うと、平坦化されたシリコン酸化膜4"が得られる(第1図(d))。このとき、第1層のアルミニウム配線層の表面には通常はシリコン酸化膜が残存するのであるが、ここでは極端な場合として形成されたシリコン酸化膜4の厚さが不足であるかRIEに

- 7 -

ようしているが、記載した厚さの膜層が得られるような温度上昇曲線を走査して逆転的な温度変化を行うようにしてもよい。

また、エッチバック工程においては、実施例ではシリコン酸化膜を使用しているが、これに限ることなくRIEで酸化膜と同様のエッチングレートでエッチングされるものであればよく、例えばレジスト等を使用することができる。

なお、上述した温度変化は同一工程内での変化であり実質的な工程の増加はない。

(発明の効果)

以上のように本発明によれば層間絶縁膜の平坦化処理後に形成される層間絶縁膜をヒロックの発生しない温度範囲およびその後のより高温の温度範囲の2段階で形成し、その上に上層の配線層を設けるようしているので、平坦化処理時に下層配線層が露出してもヒロックの発生を防止しつつ良好な膜質を有する層間絶縁膜が得られ、歩留りおよび信頼性の高い多層配線構造を得ることができる。

- 9 -

-209-

- 10 -

るエッティング槽が過大であるための第1層のアルミニウム配線層2の表面が全面的に露出した状態となっているるものとして以下の説明を行なう。

この上にシリコン酸化膜11をアラスマCVD法を用い、200~250℃の温度範囲で厚さ約3000Åに形成する(第1図(e))。

次にこの上に同様にアラスマCVD法により約300℃の温度でシリコン酸化膜12を形成し、先に形成されたシリコン酸化膜11を含め合計約1.5μmの厚さになるようにし、その上にアルミニウムの蒸着およびバーニングにより第2のアルミニウム配線層13が形成される。

このようにエッチバック後に再度シリコン酸化膜を形成する際に、始めはヒロックの発生しにくく比較的低温で、続いてこれよりも高温で厚く形成するようしているので、実施例のように第1のアルミニウム配線の表面が露出してしまった場合においてもヒロックが発生しにくくなる。

以上の実施例においてはシリコン酸化膜の形成にあたって、初用とその後で温度範囲を切換える

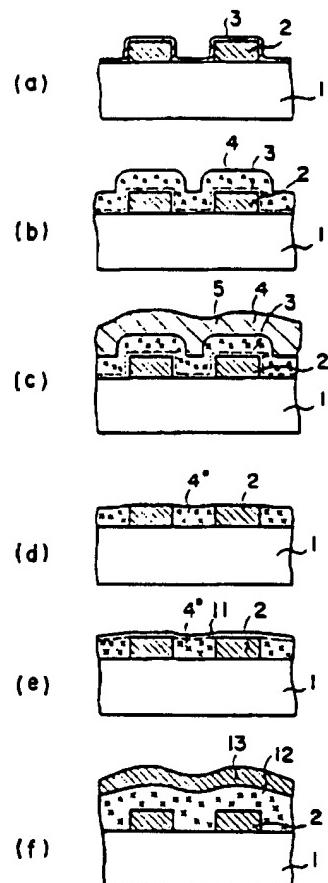
- 8 -

4. 図面の簡単な説明

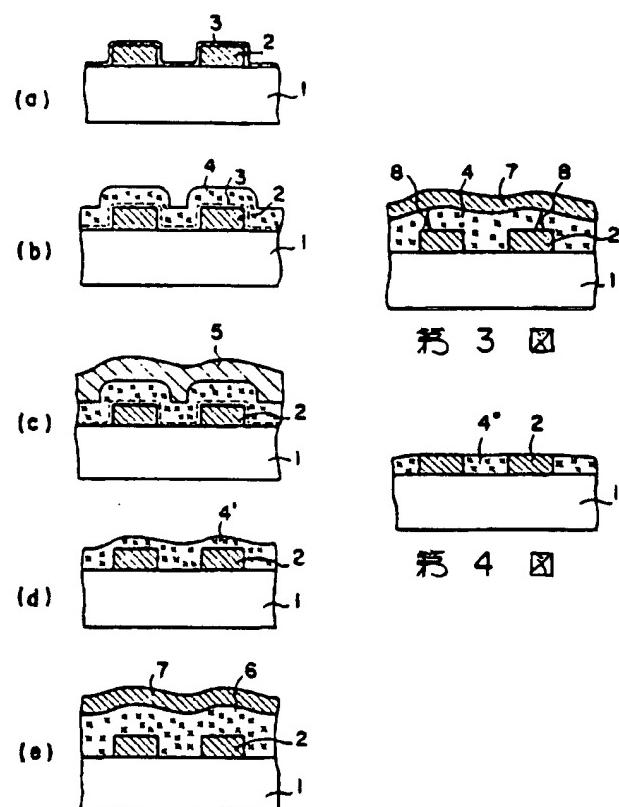
第1図は本発明の一実施例を示す工程別断面図、第2図は従来の方法を示す工程別断面図、第3図および第4図は従来方法の問題点を示す説明図である。

1…基板、2，7…アルミニウム配線層、3，6，11…低温で形成された酸化膜、4，6，12…高温で形成された酸化膜。

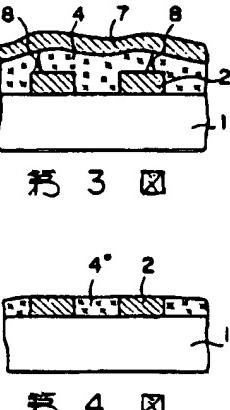
出願人代理人 佐々木一雄



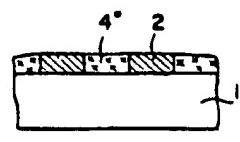
第1図



第2図



第3図



第4図